

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-288643
(43)Date of publication of application : 13.10.1992

(51)Int.Cl. G06F 12/02
G06F 15/16

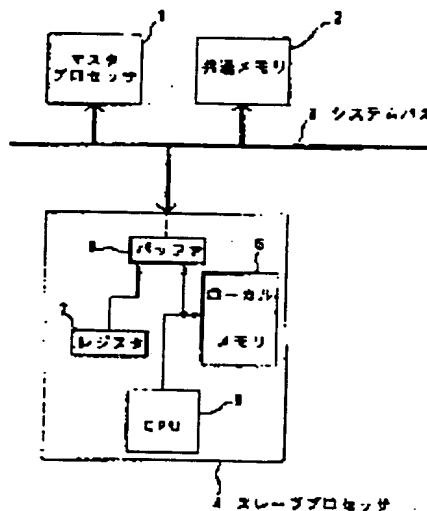
(21)Application number : 03-077073 (71)Applicant : NEC CORP
(22)Date of filing : 18.03.1991 (72)Inventor : YOKOTA KEIICHI

(54) MEMORY MAPPING SYSTEM FOR MULTI-PROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To reduce a shared memory part to take a large local memory part.

CONSTITUTION: In the multiprocessor system where the area of a shared memory 2 used by each slave processor 4 is limited to a specific area indicated by a master processor 1 at the time of system initialization, each slave processor 4 has an address register 7 to which upper bits of the area indicated by the master processor 1 are set. A fixed area having the same size as the use area of the shared memory 2 indicated by the master processor 1 is set on an arbitrary address space of the memory map of the slave processor. When the fixed area is accessed, the output of the address register 7 is outputted to a system bus 3 to access the shared memory 2. Thus, the shared memory 2 is accessed through the fixed area independently of the address of the area indicated by the master processor 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-288643

(43) 公開日 平成4年(1992)10月13日

(51) Int.Cl.⁵ 請別記号 庁内整理番号 F I
G 06 F 12/02 5 1 0 8841-5B 技術表示箇所
15/16 3 2 0 M 8840-5L

審査請求 未請求 請求項の数2(全4頁)

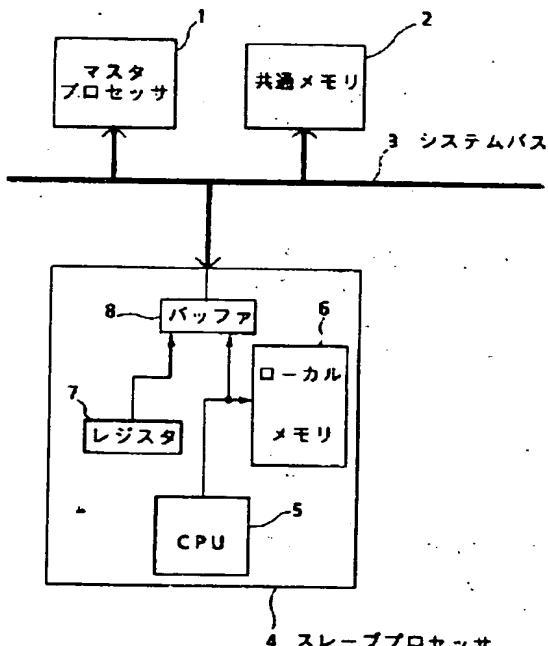
(21) 出願番号	特願平3-77073	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成3年(1991)3月18日	(72) 発明者	横田 圭一 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 マルチプロセッサシステムのメモリマッピング方式

(57) 【要約】

【目的】 共通メモリ部を小さくしてローカルメモリ部を大きくとる。

【構成】 各スレーブプロセッサ4の使用する共通メモリ2の領域はシステムの初期化時にマスタプロセッサ1からそれぞれ指示される特定の領域だけに限られるマルチプロセッサシステムにおいて、各スレーブプロセッサ1は、マスタプロセッサ1から指示された領域の上位ビットが設定されるアドレスレジスタ7を有する。マスタプロセッサ1から指示された共通メモリ2の使用領域のサイズと同じ大きさの固定エリアがスレーブプロセッサ4のメモリマップ上の任意のアドレス空間上に設定される。固定エリアをアクセスしたときに、アドレスレジスタ7の出力をシステムバス3上に出力して共通メモリ2をアクセスする。これにより、共通メモリ2に対するアクセスは、マスタプロセッサ1から指示される領域のアドレスに拘らず、固定エリアを通して行われる。



1

【特許請求の範囲】

【請求項1】 1つのマスタプロセッサと、複数のスレーブプロセッサと、共通メモリと、前記マスタプロセッサと前記複数のスレーブプロセッサと前記共通メモリとを接続するシステムバスとを備え、前記複数のスレーブプロセッサの各々の使用する前記共通メモリの領域は、システムの初期化時に前記マスタプロセッサからそれぞれ指示される特定の領域だけに限られるマルチプロセッサシステムにおいて、前記複数のスレーブプロセッサの各々は、当該スレーブプロセッサのソフトウェアにより前記マスタプロセッサから指示された領域の上位ビットが設定されるアドレスレジスタと、前記マスタプロセッサから指示された前記共通メモリの使用領域のサイズと同じ大きさの固定エリアを当該スレーブプロセッサのメモリマップ上の任意のアドレス空間上に設定する手段と、を有することを特徴とするマルチプロセッサシステムのメモリマッピング方式。

【請求項2】 前記複数のスレーブプロセッサの各々は、前記固定エリアをアクセスしたときに、前記アドレスレジスタの出力を前記システムバス上に出力して前記共通メモリをアクセスする手段を有する請求項1に記載のマルチプロセッサシステムのメモリマッピング方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、共通メモリを有するマルチプロセッサシステムのメモリマッピング方式に関する。 20

【0002】

【従来の技術】 従来、共通メモリを有するマルチプロセッサシステムにおいては、スレーブプロセッサでは、直接アクセスできるアドレス空間を、マスタプロセッサとのデータの授受用に使用する共通メモリ部と、スレーブプロセッサ内に存在しスレーブプロセッサ独自の処理に使用するローカルメモリ部とに分ける必要がある。初期化時に初めてそのデータ授受用エリアをマスタプロセッサから指示されるような場合、指定される可能性のあるエリア全てを共通メモリ部とする必要がある。

【0003】

【発明が解決しようとする課題】 このように、従来のマルチプロセッサシステムでは、共通メモリ部を大きくとる必要がある場合には、ローカルメモリ部を一定量以上にすることが簡単にはできない。

【0004】 本発明の目的は、共通メモリ部を小さくしてローカルメモリ部を大きくとることができるとマルチプロセッサシステムのメモリマッピング方式を提供することにある。

【0005】

【課題を解決するための手段】 本発明のマルチプロセッサシステムのメモリマッピング方式は、1つのマスタプロセッサと、複数のスレーブプロセッサと、共通メモリ

10

2

と、前記マスタプロセッサと前記複数のスレーブプロセッサと前記共通メモリとを接続するシステムバスとを備え、前記複数のスレーブプロセッサの各々の使用する前記共通メモリの領域は、システムの初期化時に前記マスタプロセッサからそれぞれ指示される特定の領域だけに限られるマルチプロセッサシステムにおいて、前記複数のスレーブプロセッサの各々は、当該スレーブプロセッサのソフトウェアにより前記マスタプロセッサから指示された領域の上位ビットが設定されるアドレスレジスタと、前記マスタプロセッサから指示された前記共通メモリの使用領域のサイズと同じ大きさの固定エリアを当該スレーブプロセッサのメモリマップ上の任意のアドレス空間上に設定する手段と、前記固定エリアをアクセスしたときに、前記アドレスレジスタの出力を前記システムバス上に出力して前記共通メモリをアクセスする手段とを有する。

【0006】

【作用】 前記共通メモリに対するアクセスは、前記マスタプロセッサから指示される領域のアドレスに拘らず、前記固定エリアを通して行う。

【0007】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1に本発明の一実施例によるメモリマッピング方式が適用されるマルチプロセッサシステムの構成を示す。本実施例によるマルチプロセッサシステムは、マスタプロセッサ1と、共通メモリ2と、システムバス3と、複数のスレーブプロセッサ(図中では1つのみ図示する。)4とを有する。システムバス3にマスタプロセッサ1とスレーブプロセッサ4と共に共通メモリ2とが接続されている。スレーブプロセッサ4の各々の使用する共通メモリ2の領域は、システムの初期化時にマスタプロセッサ1からそれぞれ指示される特定の領域だけに限られる。本実施例では、スレーブプロセッサ4が7つあるとし、第1乃至第7のスレーブプロセッサと名付ける。

【0008】 スレーブプロセッサ4は、中央処理装置(CPU)5と、ローカルメモリ6と、共通メモリ2内の使用するエリアのアドレスの上位ビットを出力するアドレスレジスタ7と、システムのアドレスバスをドライバするバッファ8とを有する。

【0009】 ここでは、共通メモリ2、スレーブプロセッサ4のCPU5のメモリ空間を1Mバイトとし、各スレーブプロセッサ4が使用する共通メモリ2の領域を64Kバイトとし、初期化時にマスタプロセッサ1から指示される共通メモリ2のメモリマップが図2に示すような場合について説明する。すなわち、共通メモリ2の16進で表されたアドレス00000(H)～7FFF(H)の範囲はマスタプロセッサ1に割り当てられている。そして、第1乃至第7のスレーブプロセッサには、それぞれ、共通メモリ2のアドレス80000(H)～

50

3

8 FFFF (H) , 90000 (H) ~ 9FFF (H) , A0000 (H) ~ AFFFF (H) , B0000 (H) ~ BFFFF (H) , C0000 (H) ~ CFFFF (H) , D0000 (H) ~ DFFFF (H) , 及び E0000 (H) ~ EFFFF (H) の範囲が割り当てられている。又、スレーブプロセッサ4のCPU5のメモリ空間においては、アドレス00000 (H) ~ EFFFF (H) の範囲がローカルメモリ6の使用可能エリア（ローカルメモリ部）として割り当てられ、アドレスF0000 (H) ~ FFFFF (H) の範囲が共通メモリ2のアクセスエリア（共通メモリ部）として割り当てられている。

【0010】スレーブプロセッサ4は、初期化時にマスタプロセッサ1から指示されたメモリの使用領域のアドレス上位4ビットをアドレスレジスタ7に書き込む。バッファ8には、CPU5のアドレスバスA0~A19のうちA0~A15が接続されており、レジスタ7の出力がA16~A19として接続されている。スレーブプロセッサ4は、共通メモリ2にアクセスする場合には、所望のアドレスのA16~A19を統て“1”にしたアドレスに変更してアクセスする。システムのアドレスバスのA16~A19にはアドレスレジスタ7の値が出力されるために、アドレスF0000 (H) ~ FFFFF (H) のエリアを通して、所望のアドレスの共通メモリ2にアクセスが可能である。

【0011】これにより、従来はマスタプロセッサ1の指示により使用する可能性のあるアドレス80000 (H) ~ EFFFF (H) のエリアを共通メモリ2用に

10

20

割り当てなければならなかったが、本実施例ではアドレスF0000 (H) ~ FFFFF (H) までとすることができます。したがって、ローカルメモリ6の使用可能エリアとしてアドレス00000 (H) ~ EFFFF (H) までの広範囲なエリアを持つことが可能である。
【0012】
【発明の効果】以上説明したように、本発明によれば、スレーブプロセッサが共通メモリにアクセスするメモリマップ上のエリア（共通メモリ部）を小さくすることができ、スレーブプロセッサ内のローカルメモリの使用可能エリア（ローカルメモリ部）を大きくとることができるという効果がある。

【図面の簡単な説明】

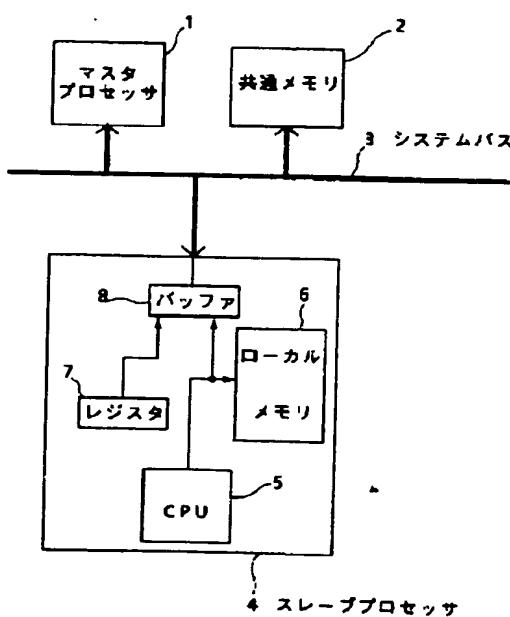
【図1】本発明の一実施例によるメモリマッピング方式が適用されるマルチプロセッサシステムの構成を示すブロック図である。

【図2】図1中の共通メモリとスレーブプロセッサのメモリマップを示す図である。

【符号の説明】

- 1 マスタプロセッサ
- 2 共通メモリ
- 3 システムバス
- 4 スレーブプロセッサ
- 5 CPU
- 6 ローカルメモリ
- 7 アドレスレジスタ
- 8 バッファ

【図1】



【図2】

